

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0052730  
Application Number

출원년월일 : 2002년 09월 03일  
Date of Application SEP 03, 2002

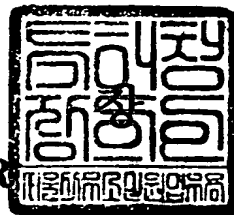
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      05      월      02      일

특      허      청

COMMISSIONER





1020020052730

출력 일자: 2003/5/8

**【서지사항】**

<b>【서류명】</b>	특허출원서
<b>【권리구분】</b>	특허
<b>【수신처】</b>	특허청장
<b>【참조번호】</b>	0003
<b>【제출일자】</b>	2002.09.03
<b>【발명의 명칭】</b>	레디 /비지 핀을 이용하여 내부 전압 레벨을 알리는 반도체 메모리 장치
<b>【발명의 영문명칭】</b>	Semiconductor memory device informing internal voltage level using ready/busy pin
<b>【출원인】</b>	
<b>【명칭】</b>	삼성전자 주식회사
<b>【출원인코드】</b>	1-1998-104271-3
<b>【대리인】</b>	
<b>【성명】</b>	임창현
<b>【대리인코드】</b>	9-1998-000386-5
<b>【포괄위임등록번호】</b>	1999-007368-2
<b>【대리인】</b>	
<b>【성명】</b>	권혁수
<b>【대리인코드】</b>	9-1999-000370-4
<b>【포괄위임등록번호】</b>	1999-056971-6
<b>【발명자】</b>	
<b>【성명의 국문표기】</b>	이준
<b>【성명의 영문표기】</b>	LEE, JUNE
<b>【주민등록번호】</b>	690613-1240728
<b>【우편번호】</b>	135-243
<b>【주소】</b>	서울특별시 강남구 개포3동 주공아파트 706동 1207호
<b>【국적】</b>	KR
<b>【심사청구】</b>	청구
<b>【취지】</b>	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)



1020020052730

출력 일자: 2003/5/8

【수수료】

【기본출원료】	15	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	5	항	269,000	원
---------	---	---	---------	---

【합계】	298,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

레디/비지 핀을 이용하여 내부 전압 레벨을 알리는 반도체 메모리 장치가 개시된다. 본 발명의 반도체 메모리 장치는 전압 레벨 검출부와, 레디/비지 드라이버 컨트롤러, 그리고 레디/비지 드라이버를 포함한다. 전압 레벨 검출부는 내부 전압이 일정 전압 레벨인지를 검출하여 파워업 신호를 발생하고, 레디/비지 드라이버 컨트롤러는 파워업 신호에 응답하여 비지 인에이블 신호를 발생한다. 레디/비지 드라이버는 비지 인에이블 신호에 응답하여 반도체 메모리 장치가 비지 상태에 있음을 레디/비지 핀으로 나타낸다. 따라서, 본 발명에 의하면, 반도체 메모리 장치의 내부 전압 레벨이 동작 가능한 일정 레벨이 될 때까지 레디/비지 핀을 이용하여 플래쉬 메모리 장치가 비지 상태에 있음을 알리기 때문에, 외부 전압 레벨만을 확인하여 반도체 메모리 장치를 액세스함으로써 인해 발생하는 반도체 메모리 장치의 오동작 문제가 방지된다.

**【대표도】**

도 2

**【색인어】**

내부 전압, 파워업, 전압 레벨 검출부, 레디/비지 핀

## 【명세서】

## 【발명의 명칭】

레디/비지 핀을 이용하여 내부 전압 레벨을 알리는 반도체 메모리 장치

{Semiconductor memory device informing internal voltage level using ready/busy pin}

## 【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 메모리 장치의 오동작을 설명하는 그래프이다.

도 2는 본 발명의 일실시예에 따른 메모리 장치를 나타내는 도면이다.

도 3은 도 2의 전압 레벨 검출부를 나타내는 도면이다.

도 4는 도 2의 레디/비지 컨트롤러를 나타내는 도면이다.

도 5는 도 2의 레디/비지 핀 드라이버를 나타내는 도면이다.

도 6은 도 2의 메모리 장치의 동작을 설명하는 도면이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 내부 전압 레벨을 확인할 수 있는 메모리 장치에 관한 것이다.

<8> 모바일(Mobile) 제품에 적용되는 반도체 메모리 장치들에게는 배터리 수명을 고려하여 저전압 동작이 가장 중요한 항목이 되고 있다. 저전압 반도체 메모리 장치는 외부 전원 전압을 입력하여 그 전압레벨을 소정 전압 강하시켜 내부 전압으로 사용하는 내부



전압 발생 회로를 채용하고 있다. 통상적으로, 내부 전압 발생 회로는 기준 전압과 내부 전압을 비교하여 그 결과에 따라 내부 전압을 발생시킨다. 내부 전압 발생 회로에 의해 발생하는 내부 전압은 반도체 메모리 장치의 내부 동작 전원으로 사용되기 때문에 안정적인 전압 레벨을 유지해야 한다. 그런데, 반도체 메모리 장치가 스탠바이 상태에서 액티브 상태로 변하게 되면, 다수개의 회로 블록들이 동시에 동작되기 때문에 내부 전압의 구동 능력이 부족할 경우 내부 전압 레벨이 낮아질 수 있다. 내부 전압 레벨의 변동은 반도체 메모리 장치의 오동작을 유발하는 요인이 된다.

<9> 한편, 반도체 메모리 장치는 시스템에서 제공하는 외부 전원 전압을 입력하여 내부 전압 발생 회로를 통해 내부 전압을 발생시키는 데 있어서, 외부 전원 전압의 파워-업 속도와 내부 전압의 파워-업 속도 사이에 차이가 있을 수 있다. 즉, 외부 전원 전압의 파워-업 속도가 빠른 경우 이에 따라 발생하는 내부 전압의 파워-업 속도가 미처 따라가지 못하여 외부 전원 전압이 일정 레벨에 도달했음에도 불구하고 내부 전압 레벨이 불안정한 레벨에 있는 경우가 발생된다. 도 1에 도시된 바와 같이, 외부 전원 전압(VEXT)은 A 시간에 일정 레벨에 도달하였지만, 이 때 내부 전압(VINT)은 내부 전압의 동작 가능 레벨(VDET)에도 도달하지 못하고, 일정 시간 후 B 시간일 때 동작 가능 레벨에 도달한다.

<10> 그런데, 시스템 내 반도체 메모리 장치를 액세스할 때, 시스템의 외부 전원 전압(VEXT)의 일정 레벨만을 확인하고 A 시간에서 반도체 메모리 장치를 액세스하

면 반도체 메모리 장치의 내부 전압(VINT)이 동작 가능 레벨(VDET)이 아니기 때문에 반도체 메모리 장치는 오동작된다. 그리고, 외부 전원 전압(VEXT)이 일정 전압 레벨이 되는 A 시간에서 내부 전압(VINT)이 동작 가능 레벨이 되는 B 시간 즉, TAB 시간 동안에 반도체 메모리 장치를 액세스하면, 반도체 메모리 장치는 오동작된다.

<11> 따라서, 내부 전압이 동작 가능한 레벨인지를 확인할 수 있는 반도체 메모리 장치가 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<12> 본 발명의 목적은 내부 전압 레벨을 확인할 수 있는 반도체 메모리 장치를 제공하는 데 있다.

**【발명의 구성 및 작용】**

<13> 상기 목적을 달성하기 위하여, 본 발명의 반도체 메모리 장치는 전압 레벨 검출부와, 레디/비지 드라이버 콘트롤러, 그리고 레디/비지 드라이버를 포함한다. 전압 레벨 검출부는 내부 전압이 일정 전압 레벨인지를 검출하여 파워업 신호를 발생하고, 레디/비지 드라이버 콘트롤러는 파워업 신호에 응답하여 비지 인에이블 신호를 발생한다. 레디/비지 드라이버는 비지 인에이블 신호에 응답하여 레디/비지 핀으로 상기 반도체 메모리 장치가 비지 상태에 있음을 나타낸다.

<14> 그리고, 반도체 메모리 장치는 반도체 메모리 장치가 프로그램 동작 중임을 나타내는 프로그램 비지 신호를 발생시켜 레디/비지 드라이버 콘트롤러로 입력시키는 프로그램 커맨드 레지스터와, 반도체 메모리 장치가 삭제 동작 중임을 나타내는 삭제 비지 신호를 발생시켜 레디/비지 드라이버 콘트롤러로 입력시키는 삭제 커맨

드 레지스터를 더 포함한다. 레디/비지 드라이버 컨트롤러는 내부 전압에 연결되고 파워업 신호를 입력하여 제1 및 제2 제어 신호를 발생하는 제어 신호 발생부와, 외부 전압에 연결되고 제1 및 제2 제어 신호에 응답하여 비지 인에이블 신호를 발생하는 레벨 쉬프터를 포함한다. 레디/비지 드라이버는 레디/비지 핀과, 레디/비지 핀과 연결되고 비지 인에이블 신호에 응답하여 반도체 메모리 장치가 비지 상태임을 레디/비지 핀으로 나타내는 오픈 드레인 드라이버와, 레디/비지 핀과 연결되고 반도체 메모리 장치가 레디 상태에 있음을 레디/비지 핀으로 나타내는 풀업 로드부를 포함한다.

<15> 따라서, 본 발명에 의하면, 반도체 메모리 장치의 내부 전압 레벨이 동작 가능한 일정 레벨이 될 때까지 레디/비지 핀을 이용하여 플래쉬 메모리 장치가 비지 상태에 있음을 알리기 때문에, 외부 전압(VEXT) 레벨만을 확인하여 반도체 메모리 장치를 액세스함으로 인해 발생하는 반도체 메모리 장치의 오동작 문제가 방지된다.

<16> 이하, 본 발명은 다양한 반도체 메모리 장치들에 적용될 수 있는 데, 그중에서도 플래쉬 메모리 장치를 예로 들어 설명한다.

<17> 도 2는 본 발명의 일실시예에 따른 플래쉬 메모리 장치를 나타내는 도면이다. 이를 참조하면, 플래쉬 메모리 장치(200)는 전압 레벨 검출부(210), 프로그램 커맨드 레지스터(220), 삭제 커맨드 레지스터(230), 레디/비지 드라이버 컨트롤러(240), 그리고 레디/비지 드라이버(250)를 포함한다. 전압 레벨 검출부(210)는 내부 전압(VINT)을 입력하여 그 전압 레벨이 일정 전압 레벨 이상인



지 아닌지를 검출하여 파워업 신호(PowerUp)를 발생한다. 프로그램 커맨더 레지스터(220)는 플래쉬 메모리 장치가 프로그램 동작 중일 때 프로그램 비지 신호(ProgramBusy)를 발생한다. 삭제 커맨드 레지스터(230)는 플래쉬 메모리 장치가 삭제 동작 중일 때 삭제 비지 신호(EraseBusy)를 발생한다. 레디/비지 드라이버 컨트롤러(240)는 파워업 신호(PowerUp), 프로그램 비지 신호(ProgramBusy), 그리고 삭제 비지 신호(EraseBusy)에 응답하여 비지 인에이블 신호(BusyEnable)를 발생한다. 레디/비지 드라이버(250)는 비지 인에이블 신호(BusyEnable)에 응답하여 레디/비지 핀(R/B)을 구동한다.

<18> 도 3은 전압 레벨 검출부(210)를 구체적으로 나타내는 도면이다. 이를 참조하면, 전압 레벨 검출부(210)는 내부 전압(VINT)이 일정 레벨 이상이 되면 로우레벨의 파워업 신호(PowerUp)를 발생한다.

<19> 도 4는 레디/비지 드라이버 컨트롤러(240)를 구체적으로 나타내는 도면이다. 이를 참조하면, 레디/비지 드라이버 컨트롤러(240)는 제어 신호 발생부(410)와 레벨 쉬프터(420)를 포함한다. 제어 신호 발생부(410)는 내부 전압(VINT)에 연결되며, 파워업 신호(PowerUp), 프로그램 비지 신호(ProgramBusy), 그리고 삭제 비지 신호(EraseBusy)를 입력하여 제1 제어 신호(C1)를 발생하는 노아 게이트(412)와 제1 제어 신호(C1)를 입력하여 제2 제어 신호(C2)를 발생하는 인버터(414)를 포함한다. 제어 신호 발생부(410)는 파워업 신호(PowerUp), 프로그램 비지 신호(ProgramBusy), 그리고 삭제 비지 신호(EraseBusy) 중 어느 하나의 신호가 하이레벨이면 로우레벨의 제1 제어 신호(C1)와 하이레벨의 제2 제어 신호(C2)를 발생

한다. 그리고, 제어 신호 발생부(410)는 파워업 신호(PowerUp), 프로그램 비지 신호(ProgramBusy), 그리고 삭제 비지 신호(EraseBusy) 모두 로우레벨이면, 하이레벨의 제1 제어 신호(C1)와 로우레벨의 제2 제어 신호(C2)를 발생한다. 레벨 쉬프터(420)는 외부 전압(VEXT)에 연결되며, 제1 제어 신호(C1)와 제2 제어 신호(C2)를 입력하여 비지 인에이블 신호(BusyEnable)를 발생하는 데, 로우레벨의 제1 제어 신호(C1)와 하이레벨의 제2 제어 신호(C2)에 응답하여 하이레벨의 비지 인에이블 신호(BusyEnable)를 발생한다. 그리고, 레벨 쉬프터(420)는 하이레벨의 제1 제어 신호(C1)와 로우레벨의 제2 제어 신호(C2)에 응답하여 로우레벨의 비지 인에이블 신호(BusyEnable)를 발생한다. 레디/비지 드라이버 컨트롤러(240) 내 레벨 쉬프터(420)는 제어 신호 발생부(410)의 내부 전압(VINT) 레벨을 외부 전압(VEXT) 레벨로 변환시키는 것으로써 생략 가능하다. 이 때, 비지 인에이블 신호(BusyEnable)는 제2 제어 신호(C2)와 연결된다.

<20> 도 5는 레디/비지 드라이버(250)를 구체적으로 나타내는 도면이다. 이를 참조하면, 레디/비지 드라이버(250)는 레디/비지 핀(510, RnBx 핀), 오픈 드레인 드라이버(520), 그리고 풀업 로드부(530)를 포함한다. 비지 인에이블 신호(BusyEnable)가 하이레벨일 때, 오픈 드레인 드라이버(520) 내 엔모스 트랜지스터(522)가 턴온되어 레디/비지 핀(510)은 로우레벨이 된다. 비지 인에이블 신호(BusyEnable)가 로우레벨일 때, 오픈 드레인 드라이버(520) 내 엔모스 트랜지스터(522)가 턴오프되고 풀업 로드부(530)에 의해 레디/비지 핀(510)은 외부 전압(VEXT)레벨인 하이레벨이 된다. 로우레벨의 레디/비지 핀(510)은 플래쉬 메모

리 장치가 비지(busy) 상태에 있음을 의미하고, TB 시간 동안 플래쉬 메모리 장치가 내장되는 시스템의 컨트롤러는 플래쉬 메모리 장치를 액세스하지 않는다. 레디/비지 핀(510)이 하이레벨이면 플래쉬 메모리 장치가 레디 상태에 있음을 의미하므로, TR 시간 동안 시스템의 컨트롤러는 플래쉬 메모리 장치를 액세스한다. 레디/비지 핀(510)의 동작 그래프는 도 6에 도시되어 있다.

<21>        그러므로, 본 발명의 플래쉬 메모리 장치(200, 도 2)는 플래쉬 메모리 장치의 내부 전압(VINT) 레벨이 동작 가능한 일정 전압 레벨이 될 때까지 레디/비지 핀을 이용하여 플래쉬 메모리 장치가 비지 상태에 있음을 알린다. 이에 따라, 종래의 기술처럼 플래쉬 메모리 장치(200)의 내부 전압(VINT)이 동작 가능한 전압 레벨이 아님에도 불구하고 외부 전압(VEXT) 레벨만을 확인하여 플래쉬 메모리 장치를 액세스함으로 인해 발생하는 플래쉬 메모리 장치의 오동작 문제는 발생하지 않는다.

<22>        이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

#### 【발명의 효과】

<23>        상술한 본 발명에 의하면, 반도체 메모리 장치의 내부 전압 레벨이 동작 가능한 일정 레벨이 될 때까지 레디/비지 핀을 이용하여 반도체 메모리 장치가 비지 상태에 있음을 알리기 때문에, 외부 전압(VEXT) 레벨만을 확인하여 반도체 메모리 장치를 액세스함으로 인해 발생하는 반도체 메모리 장치의 오동작 문제를 방지할 수 있다.

**【특허청구범위】****【청구항 1】**

내부 전압이 일정 전압 레벨인지를 검출하여 파워업 신호를 발생하는 전압 레벨 검출부;

상기 파워업 신호에 응답하여 비지 인에이블 신호를 발생하는 레디/비지 드라이버 콘트롤러; 및

상기 비지 인에이블 신호에 응답하여 레디/비지 편을 구동하는 레디/비지 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 반도체 메모리 장치는

상기 반도체 메모리 장치가 프로그램 동작 중임을 나타내는 프로그램 비지 신호를 발생시켜 상기 레디/비지 드라이버 콘트롤러로 입력시키는 프로그램 커맨드 레지스터를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 반도체 메모리 장치는

상기 반도체 메모리 장치가 삭제 동작 중임을 나타내는 삭제 비지 신호를 발생시켜 상기 레디/비지 드라이버 콘트롤러로 입력시키는 삭제 커맨드 레지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 4】**

제1항에 있어서, 상기 레디/비지 드라이버 콘트롤러는

상기 내부 전압에 연결되고, 상기 파워업 신호를 입력하여 제1 및 제2 제어 신호를 발생하는 제어 신호 발생부; 및

외부 전압에 연결되고, 상기 제1 및 제2 제어 신호에 응답하여 상기 비지 인에이블 신호를 발생하는 레벨 쉬프터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 5】**

제1항에 있어서, 상기 레디/비지 드라이버는

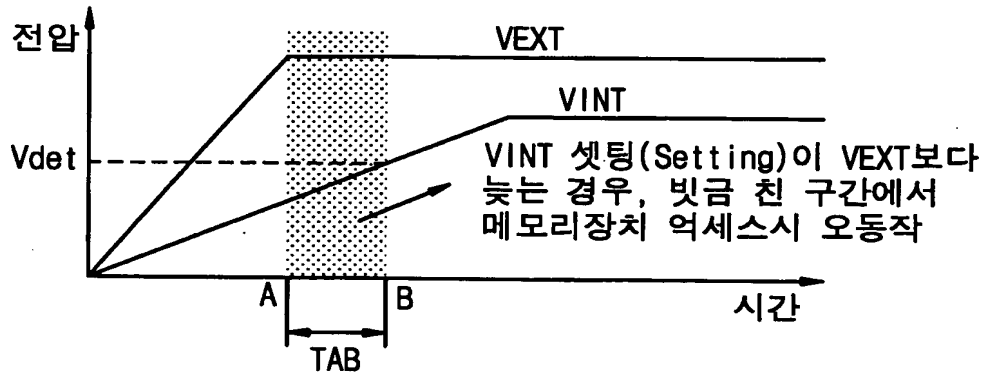
레디 /비지 핀;

상기 레디/비지 핀과 연결되고, 상기 비지 인에이블 신호에 응답하여 상기 반도체 메모리 장치가 비지 상태임을 상기 레디/비지 핀으로 나타내는 오픈 드레인 드라이버; 및

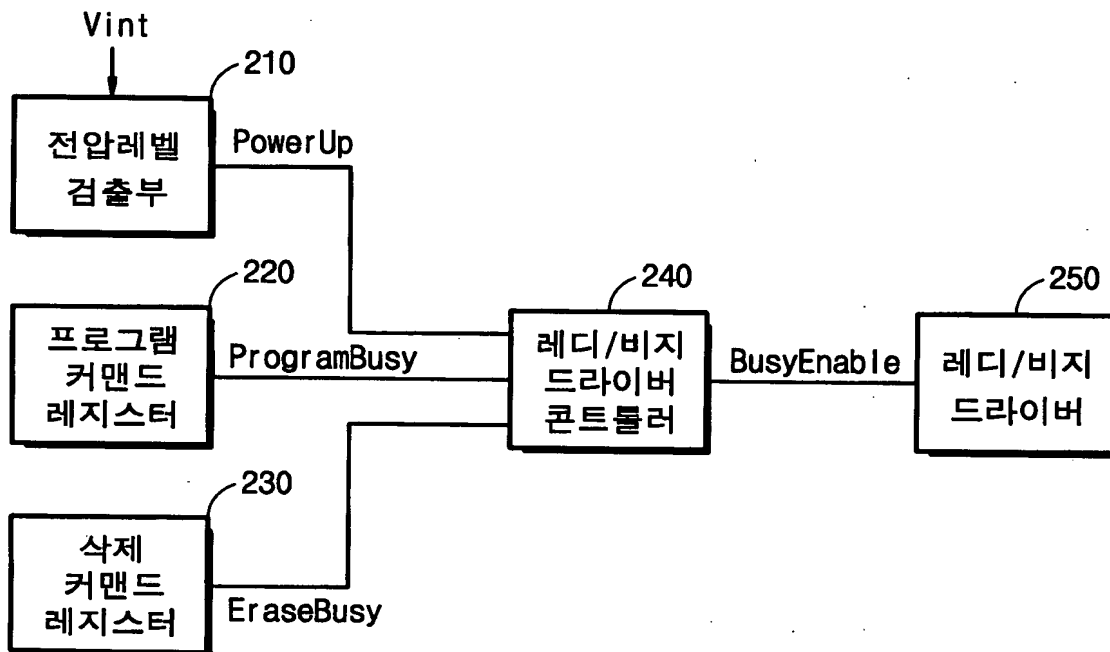
상기 레디/비지 핀과 연결되고, 상기 반도체 메모리 장치가 레디 상태에 있음을 상기 레디/비지 핀으로 나타내는 풀업 로드부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

【도 1】

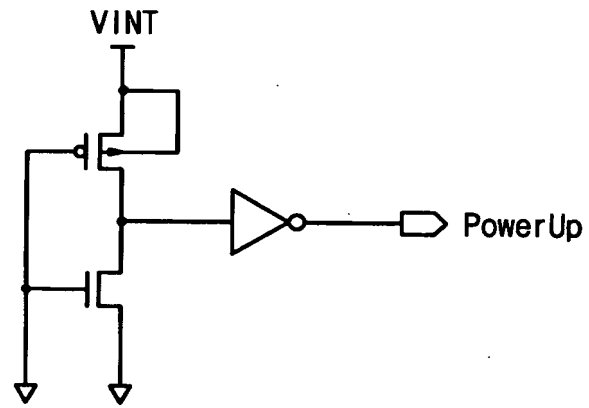


【도 2】

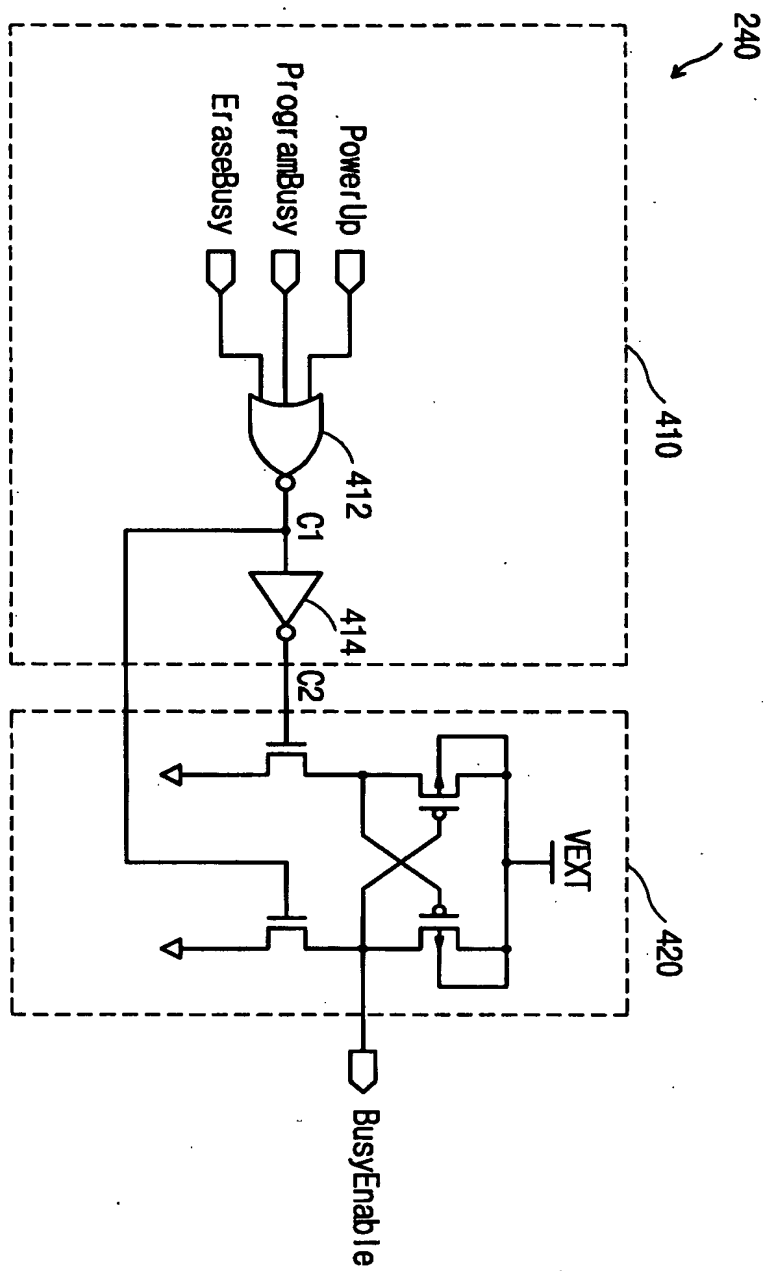


【도 3】

210

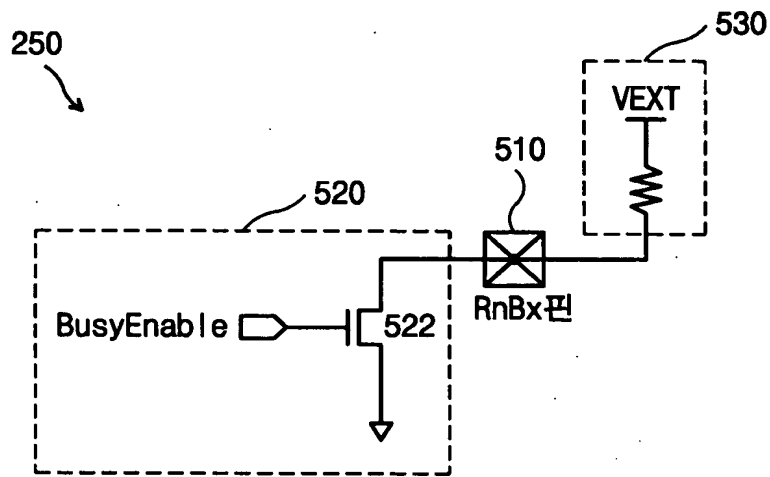


【도 4】





【도 5】



【도 6】

